



SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SAME, AND MANUFACTURING DEVICE

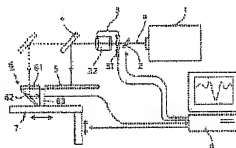
Patent number: JP2004119617 (A)
Publication date: 2004-04-15
Inventor(s): JUMONJI MASAYUKI; MATSUMURA MASAKIYO; KIMURA YOSHINOBU; NISHITANI MIKIHICO; HIRAMATSU MASAHITO; TANIGUCHI YUKIO; NAKANO FUMIKI
Applicant(s): ADV LCD TECH DEV CT CO LTD
Classification:
- international: **H01L21/20; H01L21/268; H01L21/336; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L21/336; H01L21/20; H01L21/268; H01L29/786**
- european:
Application number: JP20020279608 20020925
Priority number(s): JP20020279608 20020925

Also published as:

 CN101071758 (A)
 CN101071757 (A)

Abstract of JP 2004119617 (A)

PROBLEM TO BE SOLVED: To directly or indirectly form a semiconductor layer having at least two kinds of mean crystal grain diameters, and to control the crystal grain diameters so that a number of mean crystal grain fields Na of a current direction in a channel area of a TFT active layer for the sub-different TFT with different size. ; **SOLUTION:** The start edge of an optical axis (a) of a laser light source 1 is arranged with an attenuator 2 and a beam profile modulating part 3, and a semiconductor substrate 5 is arranged through a mirror 4 at the termination. Also, a beam profile measuring part 6 is arranged in the semiconductor substrate 5, and the semiconductor substrate 5 and the beam profile measuring part 6 are fixed to a mobile stage 7. Also, a control personal computer 8 is arranged, and the beam profile measuring part 6 is connected to the input side. The attenuator 2, the beam profile modulator 3, and the control system of a mobile stage 7, are respectively connected to the output side. ; **COPYRIGHT:** (C)2004,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-119617

(P2004-119617A)

(43) 公開日 平成16年4月15日 (2004.4.15)

(51) Int. Cl. 7

F 1

テーマコード (参考)

H 0 1 L 21/338

H 0 1 L 29/78 6 1 8 Z

5 F 0 5 2

H 0 1 L 21/20

H 0 1 L 21/20

5 F 1 1 0

H 0 1 L 21/268

H 0 1 L 21/268 J

H 0 1 L 29/786

H 0 1 L 21/268 T

H 0 1 L 29/78 6 1 2 B

審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く

(21) 出願番号

特願2002-279608 (P2002-279608)

(22) 出願日

平成14年9月25日 (2002.9.25)

(71) 出願人 501286657

株式会社 液晶先端技術開発センター
神奈川県横浜市戸塚区吉田町292番地

(74) 代理人 100077779

弁理士 牧 哲郎

(74) 代理人 100078260

弁理士 牧 レイ子

(74) 代理人 100086450

弁理士 菊谷 公男

(72) 発明者

十文字 正之
神奈川県横浜市戸塚区吉田町292番地

(72) 発明者

株式会社液晶先端技術開発センター内
松村 正清神奈川県横浜市戸塚区吉田町292番地
株式会社液晶先端技術開発センター内

最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法および製造装置

(57) 【要約】

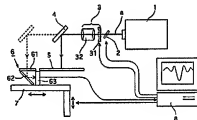
【目的】 2種以上の平均結晶粒径を有する半導体層を直接または間接的に同一基板上に形成することができ、またその結果、サイズの異なるTFTに対してTFTの活性層となるチャネル領域での電流方向の平均結晶粒径数Naが一定となるように結晶粒径を制御する。

【構成】 レーザ光源1の光軸aの始端にアッテネータ（減衰器）2とビームプロファイル変調部3を配置し、ミラー4を経由して終端に半導体基板5を設置する。

また、半導体基板5にビームプロファイル測定部6を並設し、半導体基板5とビームプロファイル測定部6を移動ステージ7に固定する。

また、制御用のパソコン8を設置して入力側にビームプロファイル測定部6を接続し、出力側にアッテネータ2、ビームプロファイル変調部3、移動ステージ7の制御系をそれぞれ接続する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

2 種以上の平均結晶粒径を有する半導体層を直接または間接的に同一基板上に形成することを特徴とする半導体装置。

【請求項 2】

半導体層を直接または間接的に基板上に形成すると共に、これらの半導体層をチャネルとする 2 個以上の電界効果トランジスタを形成し、各トランジスタのゲート長 L と、各トランジスタに流れる電流方向を横切る結晶粒界面数の平均値 N_a との比 N_a/L が、前記電界効果トランジスタ間で $\pm 5\%$ 以内の度数分布となることを特徴とする半導体装置。

10

【請求項 3】

請求項 2 記載の比 N_a/L が、前記電界効果トランジスタ間で好適には $\pm 2\%$ 以内の度数分布となることを特徴とする半導体装置。

【請求項 4】

請求項 2 または 3 記載の基板上に前記電界効果トランジスタを動作させる回路層を形成することを特徴とする半導体装置。

【請求項 5】

レーザ光源と基板の間に空間強度変調光学系を入れて基板面におけるレーザ光の強度とその分布を変調可能にし、

20

基板面におけるレーザ光の強度とその分布を測定する工程と、測定した強度とその分布があらかじめ設定した目標と一致するようにフィードバックしながら前記空間強度変調光学系のパラメータを調節する工程と、

前記空間強度変調光学系を通して強度とその分布を変調したレーザ光を基板面に照射する工程と、

を繰り返し、しかして同一基板内に 2 種以上の平均結晶粒径を有する半導体層を作り分けることを特徴とする半導体装置の製造方法。

【請求項 6】

レーザ光源と基板の間に空間強度変調光学系を入れて基板面におけるレーザ光の強度とその分布を変調可能にし、

30

基板面におけるレーザ光の強度とその分布を測定する測定手段と、

測定した強度とその分布があらかじめ設定した目標と一致するようにフィードバックしながら前記空間強度変調光学系のパラメータを調節する調節手段と、

前記空間強度変調光学系を通して強度とその分布を変調したレーザ光を基板面に照射する照射手段と、

を備えることを特徴とする半導体装置の製造装置。

【請求項 7】

請求項 6 記載の測定手段を基板と平行平面上に設置することを特徴とする半導体装置の製造装置。

【請求項 8】

40

請求項 6 記載の空間強度変調光学系が位相シフトマスクを含む結像光学系であることを特徴とする半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は多結晶半導体薄膜基板、その製造法、半導体装置、半導体装置の製造方法および電子装置に係わり、特に多結晶膜（多結晶半導体薄膜）の表層部分に電界効果トランジスタを製造する技術および前記電界効果トランジスタを製造するための多結晶半導体薄膜基板ならびに前記電界効果トランジスタを組み込んだ液晶表示装置や情報処理装置等の電子装置の製造技術に適用した有効な技術に関する。

50

【0002】

【発明が解決しようとする課題】

現在の液晶ディスプレイの表示方式として、個々の画素をスイッチングするアクティブマトリックス方式がある。画素スイッチにおいては、電界効果トランジスタの一種である非晶質シリコン薄膜トランジスタ(a-Si TFT)が主に用いられている。

液晶ディスプレイの技術開発において、▲1▼高精細化、▲2▼高開口率化、▲3▼軽量化、▲4▼低コスト化などを目指している。これらの性能を実現するために、電界効果トランジスタの一種である多結晶シリコン薄膜トランジスタ(poly-Si TFT)を用いた技術が注目されている。Poly-Si TFTは、a-Si TFTに比べて、移動度が2桁以上高いため、素子サイズを小さくすることができ、また集積回路を形成することもできることから、ディスプレイに駆動回路や演算回路も搭載することが可能である。

10

【0003】

以下に従来技術によるエキシマレーザ結晶化法による多結晶半導体薄膜トランジスタの製造法を説明する。

図5(a)に示すように、ガラス基板101の上に下地保護膜(例えば SiO_2 膜、 SiN 膜、および SiN/SiO_2 積層膜など)102および非晶質シリコン薄膜103を堆積する。次に図5(b)に示すように、光学系により四角形状もしくは長尺状にビーム整形されたエキシマレーザ(XeCl₂やKrFなど)104で、非晶質シリコン薄膜の表面を照射すると、非晶質シリコン薄膜103は、エキシマレーザ104の照射加熱により、500-1000nsの極短時間における熔融凝固の過程を経て、非晶質構造から多結晶構造に変換される。非晶質シリコン薄膜103の表面全体をエキシマレーザ104で105度方向に走査加熱すると、図5(c)に示すような多結晶シリコン薄膜106が形成される。以上のプロセスはエキシマレーザ結晶化技術と呼ばれている。ガラスなどの低融点材料の基板上に高品質な多結晶シリコン薄膜を製造する際に用いられる。これらに関しては、例えば「日経マイクロデバイス別冊フラットパネル・ディスプレイ1999(日経BP社、1998年、pp.132-139)」に詳しい。

20

【0004】

図5(c)の多結晶シリコン薄膜106を用いてトランジスタを形成したのが図5(d)である。多結晶シリコン薄膜106の上部には、成膜により SiO_2 膜などのゲート絶縁膜107が設けられている。さらにソース不純物注入領域109、ドレイン不純物注入領域108が設けられている。ソース、ドレイン領域、およびゲート絶縁膜上にゲート電極110を設け、保護膜111を成膜し、ソース電極112、ドレイン電極113を形成する。以上により、ゲート電極の電圧によって、ソースとドレイン間の電流を制御できるTFTが完成する。

30

【0005】

一般に、画素部に用いられるTFTは、アクティブマトリックス制御において電荷を保持することが目的で、極端な高移動度は要求されず、むしろ低オフ電流が要求される。オフ電流を低減するには、ドレイン端の電界強度を緩和するために開口率を低下させない程度にTFTのチャネル長を長くするなどの必要がある。

一方、駆動回路や演算回路に用いられるTFTは、高速動作のために高移動度が求められ、オフ電流はあまり問題にならない。このため、特にチャネル長の微細化が高速化に有効なことからTFTのサイズを小さくする必要がある。

40

このように、画素部に用いられるTFTと、駆動回路や演算回路に用いられるTFTでは、要求される特性やサイズが異なる。

これらのTFTは、同一基板内にすべて同時に形成されなくては内蔵化の経済効果が薄れる。

【0006】

ところが、従来技術による結晶化法では、一定の結晶性を持ったpoly-Si薄膜しか形成できず、同一基板内に異なるサイズのTFTを作ると以下のような問題が生じる。

50

サイズの大きな T F T は、T F T のチャネル領域での結晶粒界が多くなるため、特性のパラッキは小だが性能が低い。

サイズの小さな T F T は、T F T のチャネル領域での結晶粒界が少なくなるため、性能は高いが特性のパラッキは大きい。

【0007】

そこで本発明は、2種以上の平均結晶粒径を有する半導体層を直接または間接的に同一基板上に形成することができ、またその結果、サイズの異なる T F T に対して T F T の活性層となるチャネル領域での電流方向を横切る平均結晶粒界数 N_a が一定となるように結晶粒径が制御された半導体装置とその製造方法および装置を提案することを目的になされたものである。

【0008】

【課題を解決するための手段】

かかる目的を達成するために、本発明は以下のように構成した。

【0009】

すなわち、本発明の半導体装置は、2種以上の平均結晶粒径を有する半導体層を直接または間接的に同一基板上に形成することにより上記目的が達成される。

【0010】

また、本発明の半導体装置は、半導体層を直接または間接的に基板上に形成すると共に、これらの半導体層をチャネルとする2個以上の電界効果トランジスタを形成し、各トランジスタのゲート長 L と、各トランジスタに流れる電流方向を横切る結晶粒界数の平均値 N_a との比 N_a/L が、前記電界効果トランジスタ間で $\pm 5\%$ 以内の度数分布となることを特徴とする。

【0011】

また、本発明の半導体装置は、比 N_a/L が、前記電界効果トランジスタ間で好適には $\pm 2\%$ 以内の度数分布となることを特徴とする。

【0012】

また、本発明の半導体装置は、基板上に前記電界効果トランジスタを動作させる回路層を形成することを特徴とする。

【0013】

また、本発明の半導体装置の製造方法は、レーザ光源と基板の間に空間強度変調光学系を入れて基板面におけるレーザ光の強度とその分布を変調可能にし、基板面におけるレーザ光の強度とその分布を測定する工程と、測定した強度とその分布があらかじめ設定した目標と一致するようにフィードバックしながら前記空間強度変調光学系のパラメータを調節する工程と、前記空間強度変調光学系を通して強度とその分布を変調したレーザ光を基板面に照射する工程とを繰り返し、しかして同一基板内に2種以上の平均結晶粒径を有する半導体層を作り分けることを特徴とする。

【0014】

また、本発明の半導体装置の製造装置は、レーザ光源と基板の間に空間強度変調光学系を入れて基板面におけるレーザ光の強度とその分布を変調可能にし、基板面におけるレーザ光の強度とその分布を測定する測定手段と、測定した強度とその分布があらかじめ設定した目標と一致するようにフィードバックしながら前記空間強度変調光学系のパラメータを調節する調節手段と、前記空間強度変調光学系を通して強度とその分布を変調したレーザ光を基板面に照射する照射手段とを備えることを特徴とする。

【0015】

また、本発明の半導体装置の製造装置は、前記測定手段を基板と平行平面上に設置することを特徴とする。

【0016】

また、本発明の半導体装置の製造装置は、前記空間強度変調光学系が位相シフトマスクを含む結像光学系であることを特徴とする。

【0017】

10

20

30

40

50

【発明の実施の形態】

以下に図面を参照して、本発明の実施の形態について説明する。

【0018】

図1に、本発明を実施したレーザ結晶化装置の概略図を示す。

レーザ結晶化装置は、レーザ光源1の光軸aの始端にアッテネータ（減衰器）2とビームプロファイル変調部3を配置し、ミラー4を経由して終端に半導体基板5を設置する。

また、半導体基板5にビームプロファイル測定部6を並設し、半導体基板5とビームプロファイル測定部6を移動ステージ7に固定する。

また、制御用のパソコン8を設置して入力側にビームプロファイル測定部6を接続し、出力側にアッテネータ2、ビームプロファイル変調部3、移動ステージ7の制御系をそれぞれ接続する。

【0019】

アッテネータ2は、誘電体の多層膜コーティングフィルタの角度を調節してレーザ光の強度（振幅）を光学的に変調するもので、図示しないセンサ、モータ、制御系を備える。

【0020】

ビームプロファイル変調部3は、レーザ光の空間的な強度分布を変調するもので、位相シフトマスク31と結像光学系32で構成する。

位相シフトマスク31は、マスクパターンを通過する光の位相を交互に0、 π とずらすことにより、位相シフト部において光強度が極小となる逆ピークパターンを発生し、この逆ピークパターンにより半導体基板5上において一番最初に凝固する領域（結晶核）を位置制御し、そこから周囲に結晶を横方向に成長させる（ラテラル成長）ことにより、大粒径の結晶粒を指定した位置に設ける。

このとき、位相シフトマスクの形状や半導体基板5との距離、レーザ光の角度分布などにより、所望のビームプロファイルを設定する。

位相シフトマスク31は、また、マスクパターンの交換や光軸方向の位置合わせのための図示しないセンサ、アクチュエータ、制御系を備える。

【0021】

結像光学系32は、レンズなどの光学部品で構成し、結像光学系32の焦点位置からデフォーカスした位置に半導体基板5を保持してレーザ光を照射する。

このときのマスクパターンとデフォーカス量により逆ピークパターンの形状と幅を制御する。

逆ピークパターンの幅は、デフォーカス量の1/2乗に比例して拡大する。

【0022】

ビームプロファイル測定部6は、紫外光のエキシマレーザを蛍光板61に受光して可視光に変換し、ミラー62に反射した可視光をCCD63に受光してレーザ光の強度とビームプロファイルを同時に測定する。

レーザ光の強度は、半導体パワーメータなどを用いて別々に測定してもよい。

また、紫外光のエキシマレーザを直接CCD63に受光してもよい。

【0023】

蛍光板61は、半導体基板5と同一平面上あるいは平行平面上に設置する。

蛍光板61を段差のある平行平面上に設置する場合は、移動ステージ7を上下して蛍光板61を半導体基板5と同じ高さに位置付けて測定する。

これにより、基板面におけるレーザ光のビームプロファイルを実際の照射時と同一条件で測定できるようにする。

【0024】

CCD63で受光した画像は、パソコン8に入力して任意の走査線でスライスし、画像信号の強度分布からレーザ光の強度とビームプロファイルを測定する。

そして、測定した強度とあらかじめ設定した目標の強度を比較して操作量を計算し、アッテネータ2に操作信号を出力して測定した強度が目標の強度になるようにフィードバックしながらアッテネータ2の角度を調節する。

10

20

30

40

50

また、測定したビームプロファイルとあらかじめ設定した目標のビームプロファイルを比較して操作量を計算し、ビームプロファイル変調部3と移動ステージ7に操作信号を出力して測定したビームプロファイルが目標のビームプロファイルになるようにフィードバックしながら位相シフトマスク31の位置と移動ステージ7の高さを調節する。

【0025】

移動ステージ7は、前後、左右、上下の3次元方向に移動が可能で、面内方向や光軸方向の位置合わせのための図示しないセンサ、アクチュエータ、制御系を備える。

【0026】

本発明を実施したレーザ結晶化装置は以上のような構成で、レーザ結晶化工程は、最初に移動ステージ7を面内方向に移動してレーザ光源1の光軸aの先端をビームプロファイル測定部6の蛍光板61に位置付け、レーザ光を照射してその強度とビームプロファイルを測定する。

10

次に、測定した強度とビームプロファイルがあらかじめ設定した目標と一致するようにアッテネータ2の角度、位相シフトマスク31の位置、移動ステージ7の高さをそれぞれ位置合わせする。

次に、移動ステージ7を面内方向に移動して今度は光軸aの先端を半導体基板5の所定の結晶領域に位置付け、あらかじめ設定した強度とビームプロファイルのレーザ光を照射する。

以上の測定、位置合わせ、照射を繰り返して同一基板内にTFTのサイズは異なるがチャネル領域での電流方向を横切る結晶粒界数の平均値N_aが一定の結晶領域を同時に作り分ける。

20

測定、位置合わせ、照射はこのように交互に行うのではなく、最初にすべての測定を行う位置合わせに必要な操作量を求め、次に結晶領域毎に位置合わせと照射を平行して行うようにしてもよい。

【0027】

【実施例】

本発明の実施例として、サイズは異なるが同一特性のTFT-A（小サイズTFT）およびTFT-B（大サイズTFT）の作成例を以下に示す。

まず基板の準備として、図3(a)に示すように、絶縁体基板301（例えばコーニング1737ガラス、熔融石英、サファイア、プラスチック、ポリイミドなど）の表面に第一薄膜302（例えばテトラエチルオルソシリケート（TEOS）とO₂のプラズマ化学気相成長法によって成膜した膜厚300nmのSiO₂膜、もしくはSiN/SiO₂積層膜、アルミナ、マイカなど）、第一薄膜302の表面に、第二薄膜の非晶質半導体薄膜303（例えばプラズマ化学気相成長法によって膜厚100nmの非晶質Si、非晶質SiGeなど）を成膜する。その上にSiO₂を成膜ゲート絶縁膜として、テトラエチルオルソシリケート（TEOS）とO₂のプラズマ化学気相成長による（例えば膜厚100nm）のSiO₂膜305を成膜する。次に薄膜の脱水素処理を行う（例えば窒素雰囲気600℃、1時間の加熱処理）。

30

【0028】

次に、図1のレーザ結晶化装置を用いてレーザ結晶化を行う。レーザ光源1は、例えばKrFエキシマレーザなどのパルス発振の高エネルギーレーザを用いる。

40

レーザ光源1から発したレーザ光は、パワーおよびビームプロファイルを変調可能なアッテネータ2とビームプロファイル変調部3を透過する。その結果、パワーとビームプロファイルが変調される。その後、ミラー4などの光学素子を経て移動ステージ7へ到達する。移動ステージ7には、半導体基板5が配置されている。レーザ結晶化は、変調されたレーザ光を半導体基板5に照射することで行う。移動ステージ7にはビームプロファイルを測定可能でパワーメータとしても使用可能な、ビームプロファイル測定部6を設置している。この装置は測定用のパソコン8と連動し、好適なビームプロファイルを持つように移動ステージ7高さz、パワーおよびビームプロファイルを変調可能な光学系のパラメータ（例えばアッテネータ2の角度と位相シフトマスク31の位置など）を設定する。

50

図2(a)のビームプロファイルAは小粒径結晶領域、図2(b)のビームプロファイルBは、大結晶粒径結晶領域の形成可能なビームプロファイルである。このビームプロファイルは、前述の測定用のパソコン8と連動したシステムで条件設定を行う。

ビームプロファイルAまたはビームプロファイルBによって結晶化した結果、所望の結晶粒径のpoly-Siが形成される。例えばビームプロファイルAでレーザ結晶化を行った場合、図2(a)のような、選択された領域に小結晶粒径領域r1が形成される。また、ビームプロファイルBにおいてレーザ結晶化を行った場合、図2(b)のような、選択された領域に大結晶粒径領域r2が形成され、ビームプロファイルに依存した結晶領域のつくり分けが出来る。

【0029】

TFTのチャンネル領域での電流方向を横切る結晶粒界数の平均値Naの評価は、以下のように行う。TFTの活性層のエッジが分かるように、図4で示すようにレーザマーカbなどでマーキングを四ヶ所に行う。そのあと図3(b)で示されている、ソース電極312、ドレイン電極313、ゲート電極309、層間絶縁膜314を塩酸やフッ酸などで除去し、TFTの活性層であるpoly-Si層306を露出させる。このあと、seccoエッチング液などで30秒ほどウエットエッチングを行い、結晶粒界を際立たせる。乾燥させたのち、走査型電子顕微鏡による像観察を行う。なお、像観察装置としては、表面粗さ計や原子間力顕微鏡などを用いてもよい。

【0030】

チャンネル領域での電流方向を横切る結晶粒界数のカウントは、ソース部分の2箇所のマーキングおよびドレイン部分の2箇所のマーキングを例えばそれぞれ10等分し、おのおのが平行となる直線を決定する。その直線と粒界がクロスする数を平均化して計算する。ビームプロファイルによって粒径が制御されることから、小粒径結晶領域には大粒径結晶領域よりも密に結晶粒界が存在する。

【0031】

TFT-Aのゲート長Laは2 μ m、TFT-Bのゲート長Lbは4 μ mとし、幅Wはいずれも2 μ mとした。

図2に示すように、同一の性能を達成することが出来るTFT特性を得るためのビームプロファイルAとビームプロファイルBをあらかじめ計測した。図6に示すように、この場合はステージ高さZと1 μ m当たりの結晶粒界数との関係データを基に、所望のプロファイルをZ値によって決定できた。

この場合では、位相シフトマスクの高さd=0 μ m一定で

TFT-Aに必要なプロファイルは、Z=30 μ mでレーザ強度を500mJ/cm²、TFT-Bに必要なプロファイルは、Z=20 μ mでレーザ強度を700mJ/cm²、であることが計測された。

この条件で、結晶化を基板上の複数の領域に行った。

【0032】

作製した結晶は、図2(a)(b)に示すようなビームプロファイルによって、結晶化した。

これらの方法で作製された結晶領域は、それぞれTFT-A、TFT-Bのあったサイズでパターンニングを行い、以下のプロセスを行う。図3(b)に示すようにゲート絶縁膜の上にゲート電極309(例えば高濃度リンドーピングシリコン、W、TiW、WSi₂、MoSi₂)を設ける。ゲート電極309をマスクにして、イオン注入を行って、ソース領域311、ドレイン領域310を形成する。例えばイオン注入は、N型TFTであれば、P+を10¹⁵cm⁻²オーダーで注入し、P型TFTでは、BF²⁺を10¹⁵cm⁻²オーダーで注入する。その後、電気炉内で窒素をキャリアガスとして、500℃から600℃で約1時間のアニールを行い不純物の活性化を行う。また、ラビッドサーマルアニリング(RTA)で700℃、1分加熱してもよい。最後に、層間絶縁膜314を成膜し、コンタクト穴を形成し、ソース電極312、ドレイン電極313を形成する。ソース電極312、ドレイン電極313の材料は例えばAl、W、Al/TiNを用いる。

10

20

30

40

50

【0033】

TFTの評価は、350mm×400mm基板において、2本の対角線を引いてクロスした中央位置、中央位置と基板四隅との中点の合計5点において行った。

領域内にはTFTの幅Wが2μm一定で、長さLa=2μmのTFT-A、Lb=4μmのTFT-Bが一定のパターンで形成されている。5点それぞれの位置において、TFT特性を測定したところ、TFT-A、TFT-Bともに同一の特性が得られた。さらに、チャンネル領域での電流方向を横切る結晶粒界数の平均値Naとゲート長Lの比Na/Lを調査するために、特性を測定したTFTについて、poly-Si層を明確にするように位置のマーキングと上層部の除去を行い、50μm×50μmの範囲内を走査型電子顕微鏡によって評価した。その結果、複数計測したTFT-A、TFT-Bそれぞれにおけるチャンネル領域での電流方向を横切る結晶粒界数の平均値Naとゲート長Lの比Na/Lは、いずれも±5%以内の度数分布となっていた。

本発明で作製した複数のTFTの特性測定を行った結果、TFT-AおよびTFT-Bは、トランジスタサイズが異なるにもかかわらず、同一の性能（電子移動度：250cm²・V/s）を得ることが出来た。

【0034】

さらに、ビームプロファイル計測において、前述の条件

TFT-Aに必要なプロファイルは、Z=30μmでレーザ強度を500mJ/cm²、

TFT-Bに必要なプロファイルは、Z=20μmでレーザ強度を700mJ/cm²、

に加えて、位相シフトマスクの高さdを調整し、最適なdを検出したところ、

TFT-Aではd=5μm

TFT-Bではd=1μm

が好適であった。

この条件で前述のTFTを作製し、複数計測したTFT-A、TFT-Bそれぞれにおけるチャンネル領域での電流方向を横切る結晶粒界数の平均値Naとゲート長Lの比Na/Lは、いずれも±2%以内の度数分布となっていた。

作製した複数のTFTの特性測定を行った結果、TFT-AおよびTFT-Bは、トランジスタサイズが異なるにもかかわらず、同一の性能（電子移動度：250cm²・V/s）を得ることが出来た。

【0035】

【発明の効果】

以上説明したように、本発明によれば、任意の性能を持つさまざまなサイズのTFTに対して、所望の粒径の結晶領域を同一基板内で作り分けることが出来る。

その結果、TFTのパラッキは抑制されかつ特性が向上する。

【図面の簡単な説明】

【図1】本発明を実施したレーザ結晶化装置の概略図である。

【図2】本発明の製造装置・方法を用いて作製した電子装置の模式図である。

【図3】本発明の製造装置・方法を用いて作製した電子装置の工程断面図である。

【図4】TFTの活性層に設けたレーザマーカの模式図である。

【図5】従来の電子装置の工程断面図である。

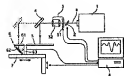
【図6】ステージ高さZと1μm当たりの結晶粒界数との関係を示すグラフである。

【符号の説明】

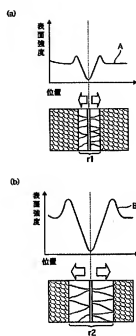
- 1 レーザ光源
- 2 アッテネータ
- 3 光強度パターン調整部
- 3 1 位相シフトマスク
- 3 2 結像光学系
- 4 ミラー
- 5 半導体基板
- 6 光強度パターン測定部

6 1	蛍光板	
6 2	ミラー	
6 3	C C D	
7	移動ステージ	
8	パソコン	
1 0 1	ガラス基板	
1 0 2	下地保護膜	
1 0 3	非晶質シリコン薄膜	
1 0 4	エキシマレーザ	
1 0 5	走査加熱方向を示す矢印	10
1 0 6	多結晶シリコン薄膜	
1 0 7	ゲート絶縁膜	
1 0 8	ドレイン不純物注入領域	
1 0 9	ソース不純物注入領域	
1 1 0	ゲート電極	
1 1 1	保護膜	
1 1 2	ソース電極	
1 1 3	ドレイン電極	
3 0 1	絶縁体基板	
3 0 2	第一薄膜	20
3 0 3	第二薄膜	
3 0 5	S i O ₂ 膜	
3 0 6	p o l y - S i 層	
3 0 9	ゲート電極	
3 1 0	ドレイン領域	
3 1 1	ソース領域	
3 1 2	ソース電極	
3 1 3	ドレイン電極	
3 1 4	層間絶縁膜	
a	光軸	30
b	レーザマーカ	
r 1	小結晶粒径領域	
r 2	大結晶粒径領域	

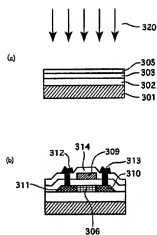
【図 1】



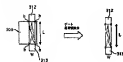
【図 2】



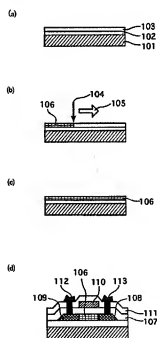
【図 3】



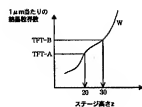
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.⁷

F I

デマコード (参考)

H O I L 29/78 6 2 7 G

(72)発明者 木村 嘉伸

神奈川県横浜市戸塚区吉田町292番地 株式会社液晶先端技術開発センター内

(72)発明者 西谷 幹彦

神奈川県横浜市戸塚区吉田町292番地 株式会社液晶先端技術開発センター内

(72)発明者 平松 雅人

神奈川県横浜市戸塚区吉田町292番地 株式会社液晶先端技術開発センター内

(72)発明者 谷口 幸夫

神奈川県横浜市戸塚区吉田町292番地 株式会社液晶先端技術開発センター内

(72)発明者 中野 文樹

神奈川県横浜市戸塚区吉田町292番地 株式会社液晶先端技術開発センター内

Fターム(参考) 5F052 AA02 BA12 BA18 BB07 DA02 DA03 DB03 EA15 JA01

5F110 AA04 BB02 CC02 DD01 DD02 DD03 DD04 DD12 DD13 DD14

DD17 EE04 EE05 EE06 EE09 FF02 FF30 GG01 GG02 GG13

GG25 GG28 GG29 GG45 HJ01 HJ04 HJ13 HJ23 HL01 HL03

HL04 HL11 NN02 NN78 PP03 PP06 PP35 QQ11